

# 基于粗细量化并行与TDC混合的CMOS图像传感器 列级ADC设计方法

郭仲杰, 苏昌勛, 许睿明, 程新齐, 余宁梅, 李晨

(西安理工大学自动化与信息工程学院, 陕西西安 710048)

**摘要:** 针对传统单斜式模数转换器(Analog-to-Digital Converter, ADC)和串行两步式ADC在面向大面阵CMOS(Complementary Metal Oxide Semiconductor)图像传感器读出过程中的速度瓶颈问题, 本文提出了一种用于高速CMOS图像传感器的全并行ADC设计方法。该方法基于时间共享和时间压缩思想, 将细量化时间提前到粗量化时间段内, 解决了传统方法的时间冗余问题; 同时采用插入式时间差值TDC(Time-to-Digital Converter), 实现了全局低频时钟下的快速转换机制。本文基于55-nm 1P4M CMOS工艺对所提方法完成了详细电路设计和全面测试验证, 在模拟电压3.3 V, 数字电压1.2 V, 时钟频率250 MHz, 输入电压1.2~2.7 V的情况下, 将行时间压缩至825 ns, ADC的微分非线性和积分非线性分别为+0.6/-0.6 LSB和+1.6/-1.2 LSB, 信噪失真比(Signal-to-Noise-and-Distortion Ratio, SNDR)为68.271 dB, 有效位数(Effective Numbers Of Bits, ENOB)达到11.048 9 bit, 列不一致性低于0.05%。相比现有的先进ADC, 本文提出的方法在保证低功耗、高精度的同时, ADC转换速率提高了87.1%以上, 为高速高精度CMOS图像传感器的读出与量化提供了一定的理论支撑。

**关键词:** CMOS图像传感器; 列并行ADC; 单斜式ADC; 两步式; 全并行; 时间数字转换器

**基金项目:** 国家自然科学基金(No.62171367); 陕西省创新能力支撑计划项目(No.2022TD-39); 陕西省重点研发计划项目(No.2021GY-060)

**中图分类号:** TN47

**文献标识码:** A

**文章编号:** 0372-2112(2024)02-0486-14

**电子学报URL:** <http://www.ejournal.org.cn>

**DOI:** 10.12263/DZXB.20220744

## Column Level ADC Design Method of CMOS Image Sensor Based on Coarse and Fine Quantization Parallel and TDC Hybrid

GUO Zhong-jie, SU Chang-xu, XU Rui-ming, CHENG Xin-qi, YU Ning-mei, LI Chen

(School of Automation and Information Engineering, Xi'an University of Technology, Xi'an, Shaanxi 710048, China)

**Abstract:** Aiming at the speed bottleneck of traditional single-slope analog-to-digital converters (ADC) and serial two-step ADC in the readout process for large area array CMOS (Complementary Metal Oxide Semiconductor) image sensors, this paper proposes a fully parallel ADC design method for high-speed CMOS image sensors. Based on the idea of time sharing and time compression, the ADC design method advances the fine quantization time to the coarse quantization time period, which solves the time redundancy problem of the traditional method; at the same time, the interpolated time difference TDC (Time-to-Digital Converter) is used to realize the global Fast transition mechanism at low frequency clocks. Based on the 55-nm 1P4M CMOS process, this paper completes the detailed circuit design and comprehensive testing and verification of the proposed method. Under the analog voltage of 3.3 V, the digital voltage of 1.2 V, the clock frequency of 250 MHz, and the input voltage range of 1.2~2.7 V, the line time is compressed to 825 ns, the differential nonlinearity and integral nonlinearity of the ADC are +0.6/-0.6 LSB and +1.6/-1.2 LSB, respectively, the signal-to-noise-distortion ratio (SNDR) is 68.271 dB, the effective number of bits (ENOB) reaches 11.049 bit, column The inconsistency is less than 0.05%. Compared with the existing advanced ADC, the method proposed in this paper can ensure the low power consumption and high precision, while the ADC conversion rate is increased by more than 87.1%. Quantification provides some theoretical support.

**Key words:** CMOS image sensors; column-parallel ADC; single-slope ADC; two-step; fully parallel; TDC

**Foundation Item(s):** National Natural Science Foundation of China (No.62171367); Shaanxi Province Innovation Capability Support Program Project (No.2022TD-39); Key Research and Development Program Projects in Shaanxi Province (No.2021GY-060)

## 1 引言

从 20 世纪 80 年代末至今, CMOS (Complementary Metal Oxide Semiconductor) 图像传感器 (Contact Image Sensor, CIS) 已经走过了漫长的道路。自该领域发展以来, 列级单斜式模数转换器就作为重要的解决方案被囊括其中。CMOS 图像传感器与列级 ADC (Analog-to-Digital Converter) 的组合在速度和功耗上展现出的卓越性能, 赋予了该组合强劲的生命力。目前在以高速高精度为核心的发展方向下, 人们对单斜式 ADC 提出了高速化、高精度化、低功耗和低成本等诸多要求。列级 ADC 作为 CIS 读出电路的重要组成部分, 设计受到精度、转换速度、面积的三重约束, 其中转换速度是限制大面阵 CIS 帧频的主要因素, 因此提高列级 ADC 的转换速度成为提升 CIS 大数据高速处理的主要突破点。CIS 为满足高速拍摄应用需求, 帧率必须达到 100 帧以上。这就要求当像素面阵达到亿级规模时, 在满足 12 bit 以上高精度的前提下, ADC 转换速率要求至少控制到  $1 \mu\text{s}$  以内。目前的相关文献中大量不同的 ADC 架构均可以添加到 CIS 的设计中, 例如逐次逼近型 ADC、 $\sigma\text{-}\delta$  型 ADC、循环 ADC、flash ADC、电压频率转化 ADC、流水线 ADC、单斜率 ADC 等。受限于速度、面积和功耗的平衡, 并非每一种 ADC 结构均适用于 CIS 的列级量化方式。目前, 应用于 CIS 的高速列并行 ADC 架构的研究热点主要集中于逐次逼近型 ADC、循环 ADC、单斜式 ADC。文献[1]采用了逐次逼近型 ADC 结构, 在 14 bit 精度下, 单次转换时间为  $2 \mu\text{s}$ , 但由于采用 CDAC 电容阵列, 占用了较大的芯片面积, 该结构无法应用于亿级面阵规模 CIS。文献[2]采用循环 ADC 结构, 在 12 bit 精度、250 MHz 主时钟频率下, 其转换时间达到了 625 ns, 而高速高增益运算放大器的使用, 使其功率消耗达到  $435 \mu\text{W}$ , 在亿级规模下, 仅 ADC 占用的功耗就接近 10 W, 限制了该结构在亿级面阵规模 CIS 中的应用。单斜式 ADC 是使用最广泛的列并行 ADC 架构, 具有结构简单、功耗低、线性度高等优点。此外, 单斜式 ADC 极大地减小了列固定模式噪声 (Column-Fixed Pattern Noise, CFPN), 但其转换速度较慢,  $q$  位分辨率的单斜式 ADC 完成一次量化需要  $2^q$  个时钟周期<sup>[3,4]</sup>。文献[5]采用单斜式 ADC 结构, 在 12 bit 精度、250 MHz 主时钟频率下, 斜坡时间达到  $1 \mu\text{s}$ , 但是受限于较高频率的时钟信号, 无法在功耗上进行有效权衡<sup>[6-13]</sup>。文献[14,15]中采用两步式单斜 ADC 结构, 该结构将量化过

程分为  $M$  位粗量化和  $N$  位细量化, 仅需要  $2^M + 2^N$  个时钟周期进行量化。文献[14]使用该结构在 12 bit 精度下, 单次转换时间达到了  $6.38 \mu\text{s}$ , 但是依旧难以满足亿级面阵的需要。

针对现有研究进展与未解决的问题, 为了提升亿级面阵规模 CIS 帧率, 本文在两步式单斜 ADC 的基础上, 在不引入额外功耗和芯片面积的前提下, 以进一步提升传统两步式的转换速度为目标, 提出了将粗量化与细量化并行的两步式结构, 配合 TDC (Time-to-Digital Converter) 技术在单斜式模数转换的一种列级全并行 ADC, 实现高速列级量化的方案。本文方法在保证结构简单、功耗低、高线性度的同时, 基于全并行理论, 进一步提高了转换速度。本文着重分析了该设计方法的量化原理以及具体电路实现, 并给出了参数测试结果。

## 2 CIS 架构特征分析

CMOS 图像传感器主要由光电传感和读出量化两部分组成。不论是卷帘曝光还是全局曝光, 目前限制亿级 CMOS 图像传感器处理速度的因素都落在了读出量化阶段。图 1 为 CMOS 图像传感器的整体架构, 具体包括像素阵列、读出电路、控制信号、时钟信号发生器以及其他模块。其中像素阵列负责完成光电信号转换, 得到的电信号交由读出电路进行放大、采样、量化; 控制信号和时钟信号发生器以及其他模块为像素阵列与读出电路提供时序控制和模拟偏置, 配合完成图像读出<sup>[15-18]</sup>。

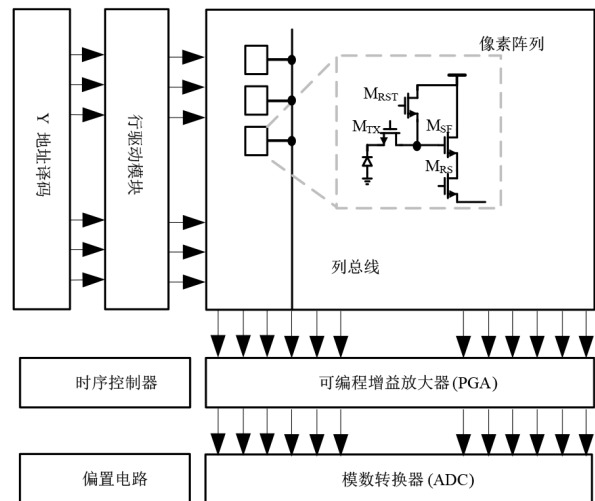


图1 CMOS图像传感器整体架构

列并行 ADC 是 CIS 读出电路的重要组成部分,是影响 CIS 性能的关键模块. 为了保证 CIS 的成像质量,列并行 ADC 必须具有较高的转换精度. 同时随着 CIS 分辨率的不断提高,像素单元尺寸也在减小,而列并行 ADC 必须嵌入与像素尺寸匹配的列宽中,所以列并行 ADC 的面积约束极其严格. 在亿级规模面阵下,CIS 读出电路需要上万个列并行 ADC,所以单列 ADC 的功耗制约着芯片整体功耗<sup>[17]</sup>. 目前 CIS 的主要读出模式是全流水逐行读出,每一行的图像信号经过列级 PGA 放大,然后通过列级 ADC 进行采样量化,并将数字化后的图像信号存储到静态随机存储器 SRAM 中,最终通过 LVDS 串行读出. 在这种读出模式下,帧时间如式(1)所示:

$$\text{Frame\_time} = V \times \text{row\_time} \quad (1)$$

其中,Frame\_time 为帧时间; $V$  为像素阵列行数;row\_time 为读出一行的时间. 在亿级规模面阵下,行时间如式(2)所示:

$$\text{row\_time} = \text{MAX}(t_{\text{bus}}, t_{\text{ADC}}, t_{\text{others}}) \quad (2)$$

其中, $t_{\text{bus}}$  为列线建立时间; $t_{\text{ADC}}$  为 ADC 的转换时间; $t_{\text{others}}$  为制约行时间的其他因素. 由式(1)和式(2)可以看出,ADC 的转换时间是限制帧频主要因素,可见,应用

于超大面阵 CIS 的列并行 ADC 需要具有结构简单、转换速度快、功耗低、线性度高等优点.

### 3 本文提出的粗细并行量化方法

从量化原理层面分析,本文提出的并行两步式的基本转换原理与传统两步式保持一致,依旧是通过粗量化寻找信号的大致所处区间,再由细量化对信号进行精确的转换. 该过程依然由粗量化将 ADC 的输入范围分区,细量化在单个区间内完成精准读出,该过程的区间划分与传统两步式结构保持一致. 从量化流程分析,传统两步式结构遵循串行的转换流程:信号输入、粗量化及粗量化计数器读出、细量化及细量化计数器读出. 虽然相对于单斜式结构在转换速度上取得了大幅提升,但该过程依然存在效率提升的可能,即设置粗量化计数器与细量化计数器同时工作. 单次量化开始时,粗量化同时进行,粗量化计数器与细量化计数器同时开始工作,若信号被准确找到后,粗量化计数器依次结束工作,将状态保持直至读出. 在两步式结构中,针对粗细量化进行并行的数据转换思路,可将原本粗细量化的转换时间优化至粗量化与细量化转换时间的最大值,利用并行思路提升两步式的时间效率. 图 2 描述了这种结构的基础转换原理.

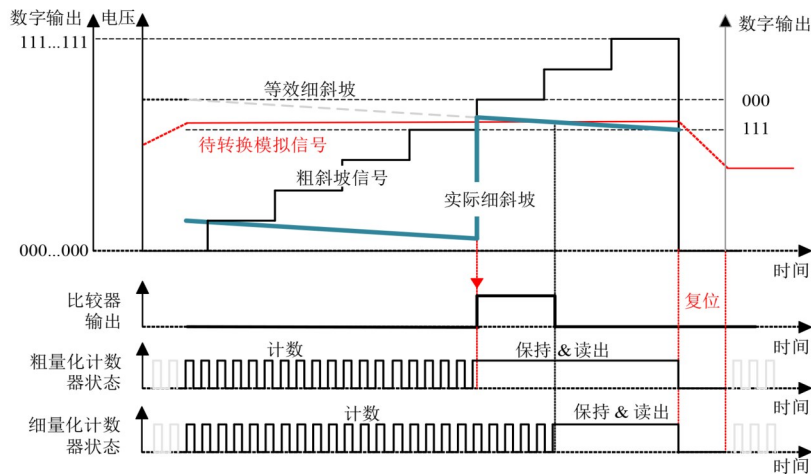


图 2 全并行 ADC 结构

在一次完整的并行两步式转换流程中,粗细量化同时开始进行. 粗量化寻找信号的所处区间;不同于传统两步式的是,细量化在该过程中与粗量化并行. 虽然在粗量化寻找到信号的大致区间前,细量化并不能有效地完成对输入信号的模数转换,但该结构依然可将信号准确捕获,这对细量化提前进行的时间数字转换非常重要. 如图 2 中的等效细斜坡与实际细斜坡所示:当细斜坡被抬升至有效量化区间时,此前细量化损失的电压值在时域上可以等效为图中的等效细斜坡进行分析. 在这种情况下,细量化输出的结果就

是有效的. 从模数转换的角度分析,细量化进行的模数转换结果是等效斜坡的时间与有效细量化的时间之和,系统的输出等于粗量化的输出减去细量化的输出.

整个量化周期分为粗量化过程和细量化过程,粗细量化计数器同时开始计数,RAMP\_C 和 RAMP\_F 同时开始上升或下降,粗细量化过程并行执行.

首先进行  $n$  位粗量化过程,将粗斜坡信号 RAMP\_C 以  $\Delta V_c$  为步长输入比较器中与输入信号进行比较,对输入信号  $V_{\text{in}}$  进行粗量化. 经过粗量化之后,由粗量化计

数器产生高  $n$  位的数字码  $A$ , 并将对应的模拟信号台阶值通过存储电容进行存储, 以便进行细量化. 粗量化完成后得到的信号所处区间为

$$(m-1)\Delta V_c < V_{in} < m\Delta V_c \quad (3)$$

其次同步进行  $m$  位的细量化过程, 将积分斜坡信号 RAMP\_F 接入比较器中, 对输入信号  $V_{in}$  进行细量化, 得到低  $m$  位的数字码  $B$ . 最终输出的数字码为

$$D_{out} = A \times 2^m - B \quad (4)$$

上述转换方式的前提是, 系统能准确地捕获到待转换的输入信号. 显而易见的是, 并行两步式结构并不能有效量化输入范围内的每一个输入信号. 图 2 中, 若待转换信号处于等效细斜坡的所处范围, 系统无法对输入信号做出有效响应从而导致错误的转换结果. 图 3 所示为并行两步式量化影响分析. 简单地对粗量化和细量化做并行设计会造成严重的可靠性问题. 随

着输入信号的增大, 细量化区间内的可用范围会严重衰减. 以  $n$  bit 粗量化和  $m$  bit 细量化结构做并行为例, 在每一个区间内的失效率  $P_N^i$  如式(5)所示(由于粗量化将输入范围分成了  $2^n$  个量化区间,  $i$  表示信号所处的区间序数):

$$P_N^i = \frac{(2^n - 1)}{2^m}, \quad i = 1, 2, \dots, 2^n \quad (5)$$

在整个 ADC 输入范围内, 输入信号的总失效率  $P_N$  如式(6)所示:

$$P_N = \sum_{i=1}^{2^n} P_N^i = \sum_{i=1}^{2^n} \frac{2^i - 1}{2^m} \quad (6)$$

在输入范围内存在一半的输入信号不能得到有效的转换. 以 6+6 位并行下 12 bit 为例, 根据式(5), 在最后一个细量化区间内 ADC 的失效率高达 98.4%, 总失效率达到了一半以上. 在这种情况下, 可以认为 ADC 出现了严重的功能问题.

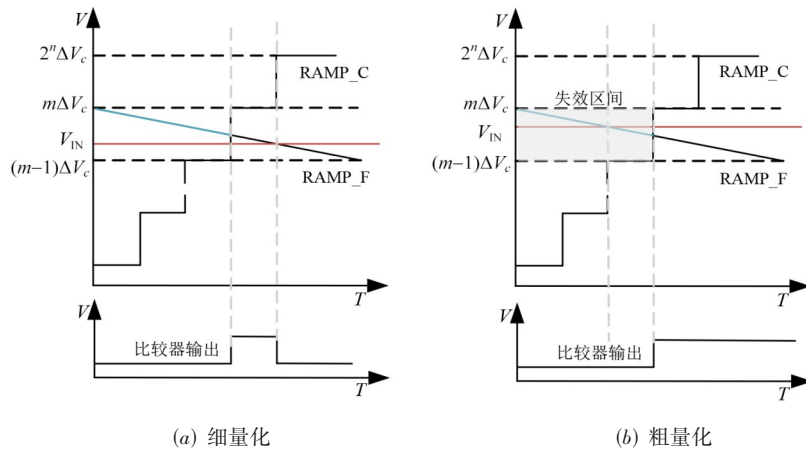


图 3 并行两步式丢失信号的影响分析

针对并行结构存在的数据丢失问题, 本文提出了一种补偿机制, 即在每一个细量化区间内增加一个独立的量化机制用于实现针对失效区间内信号的有效转换. 由于列电路设计需要考虑横向的空间的约束, 增加的量化机制必须与原有的结构保持高度的兼容性, 同时满足列电路的横向空间约束. 基于此, 本文提出的补偿量化机制巧妙地在系统中增加一路补偿细斜坡, 通过补偿细斜坡与原细斜坡共同作用, 构成一套完备集合以消除失效区间对 ADC 功能的影响. 增加的补偿细斜坡主要针对处于失效区间无法被正常量化的输入信号. 该思路是在一个细量化区间内通过补偿细斜坡和细斜坡实现对信号的无丢失转换, 是由两个并行结构嵌套共同作用的. 对于补偿细斜坡, 其必须有效覆盖原细斜坡所丢失的量化区域, 由于补偿细斜坡同样采取并行结构, 其依然存在信号的丢失, 受到式(5)约束. 如果要求有效的补偿作用, 必须要求补偿细斜坡与原细斜坡的有效

作用范围能覆盖整个细量化区间. 由于细量化和补偿细量化都遵循式(5)所描述的失效性描述, 要得到有效的补偿作用, 必须将两个量化过程的失效率降低至 50% 以下, 这样方可实现对细量化区间的完全覆盖. 根据上述公式的推导, 细量化转换位数  $m$  应比粗量化转换位数  $n$  至少高 1 位, 为了满足最恶劣情况下的补偿作用即  $m = n + 1$  且信号处于最后一个细量化区间, 即补偿细斜坡与原细斜坡的失效率都达到 50% 的情况, 补偿细斜坡应在原细斜坡的基础上抬升粗量化斜坡台阶值的一半才能实现信号的无损量化. 该原理的详细描述如图 4 所示, 其中  $n$  代表粗量化位数,  $m$  代表细量化位数,  $\Delta V_c$  为粗斜坡台阶电压值.

可以看出, 实现并行两步式补偿的前提是细量化转换位数高于粗量化转换位数至少 1 位, 且在最后一个细量化区间内通过对补偿细斜坡在区间内调制可实现对区间的遍历. 可以从图 4 中看到, 补偿细斜坡在原细

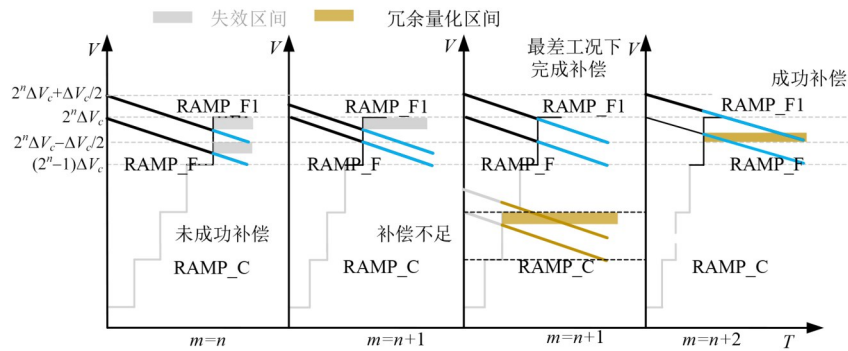


图4 并行两步式的补偿机制分析

斜坡的基础上抬升粗量化斜坡台阶值的一半是最合适的结果。

在上述内容的基础上考虑非极端环境下的一般工况,即满足  $m \geq n+1$  的基础并行结构下,在其他区间内细斜坡失效率低于 50%。如图 4 中  $m=n+1$  的下半部分和  $m=n+2$  所示:由于两个细量化斜坡的失效率均小于 50% 且通过间隔半个粗量化台阶值的形式对当前细量化区间进行遍历,会不可避免地出现冗余量化区间,对于处于该区间内的输入信号,两个量化机制均会产生有效输出。虽然可以通过配置补偿细量化计数器的初值实现补偿细量化输出与细量化相同,但这就意味着需要在列电路中额外增加一组计数器。因此本文针对细量化区间内的转换过程设计了一种真伪判别电路。当输入信号在两个细斜坡上均产生响应时,真伪判别电路会根据信号所处的位置选择性地细量化或补偿细量化的比较器输出反馈至计数器,完成系统对某一输入信号的模数转换。整个真伪判别逻辑可通过对细斜坡信号和补偿细斜坡信号对应的比较器加权实现。当信号同时在两个细斜坡上产生响应时,由于细量化具有更高的权重,补偿细量化对应比较器的输出会被忽略;当细斜坡失效时,其对应的比较器不会二次翻转,补偿细斜坡所对应的比较器动作就会被系统捕捉,实现数据读出。

本文提出的区间调制两步式并行架构工作原理如图 5 所示。图 5(a) 描述并行补偿下的功能实现,即无真伪判决过程;图 5(b) 描述正常情况下系统的功能实现,即有真伪判决过程的模数转换。

图 5(a) 描述了区间调制并行两步式 ADC 利用补偿机制实现模数转换的工作原理图。在一个转换周期内粗细量化同时进行,粗量化寻找信号所处的细量化区间,细量化在该过程内提前准备,并开始细量化的时间数字转换。当粗量化寻找到信号所处的细量化区间时,粗量化结束,粗量化计数器保持当前状态  $X$  等待读出。由于并行结构造成了细斜坡部分电压缺失,此时的细量化比较器无法有效捕获输入信号。在区间内的

另一路补偿细量化由于区间调制作用,其有效电压范围内包含了细斜坡的失效区间,因此输入信号可以在补偿细量化中得到有效转换。当补偿细斜坡穿越输入信号时,补偿细量化比较器二次翻转,细量化结束,计数器将数值  $Y$  保持并等待读出。需要注意的是,由于区间调制,补偿细斜坡高于细量化斜坡半个粗量化台阶电压,因此当补偿细量化参与信号并读出数据时,其输出数据需要减去这半个区间的数值。其输出如下:

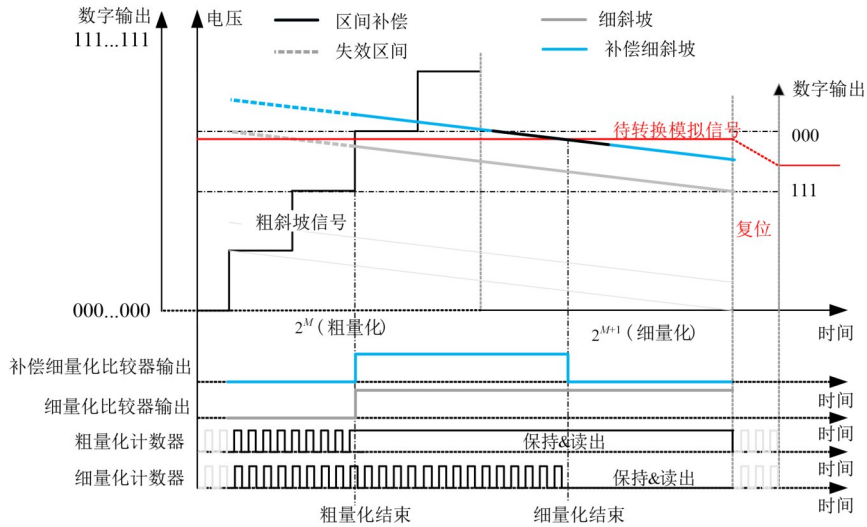
$$D_{\text{out}} = X \times 2^{M+1} - (Y - 2^M) \quad (7)$$

按照式(7)标定输出数据的前提是,细量化比较器输出高电平,补偿细量化比较器输出低电平。两个比较器的输出作为重要的标定信号,同样需要读出,当粗量化为  $m$  位时,ADC 准换位数位  $2m+1$ ,两个比较器作为标定信号出现在最高位,系统的有效输出格式是  $2m+3$  位数据。以 4+5 位并行结构为例,两个比较器输出 1 和 0,粗量化输出数值为 16、细量化输出数值为 28 时,系统的实际输出为  $16 \times 32 - (28 - 16) = 500$ 。

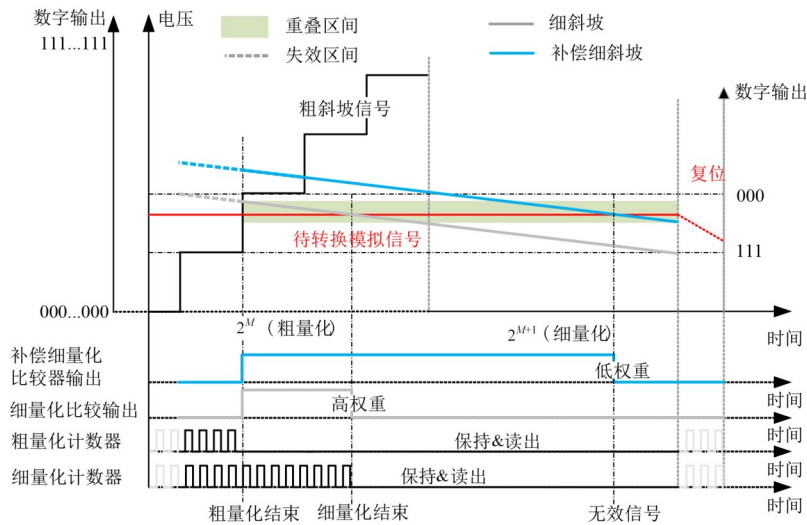
考虑另一种情况,即如图 5(a) 所示的区间调制并行两步式 ADC 常态下实现模数转换的工作原理,所描述的细量化和补偿细量化同时对输入信号响应。在该情况下,粗量化与图 5(a) 保持一致,设粗量化读出数值为  $X$ 。虽然两个细量化所对应的比较器同时对输入信号响应,但在真伪判决电路中细量化的权重会高于补偿细量化。由于补偿细斜坡在区间内高于细斜坡,针对同一输入信号细量化会首先对输入信号产生响应并截停计数器,使该情况下的补偿细量化比较器输出降格为无效信号从而保证输出的唯一性。当细量化参与系统读出时,其输出如式(8)所示(其中  $Y$  为细量化读出数值):

$$D_{\text{out}} = X \times 2^{M+1} - Y \quad (8)$$

同样,式(7)标定的前提,细量化比较器输出低电平,补偿细量化比较器输出低电平。由于输入信号永远处于细量化区间内,因此比较器的输出不会存在第三种状态。至此区间调制并行两步式 ADC 的输出信号格式  $D$  如式(9)所示,高两位输出为信号



(a) 区间调制并行两步式 ADC 利用补偿机制实现模数转换工作原理



(b) 区间调制并行两步式 ADC 常态下实现模数转换的工作原理

图5 区间调制两步式并行架构工作原理

表示码以  $\theta$  表示,其余位为待处理的所有位输出数据以 \* 表示. 输出编码的两种情况如式 (10) 所示.

$$D = [(\theta\theta)(***\dots***)] \quad (9)$$

$$D_{out} = \begin{cases} (10***\dots***) : X \times 2^{M+1} - (Y - 2^{M-1}) \\ (00***\dots***) : X \times 2^{M+1} - Y \end{cases} \quad (10)$$

并行两步式 ADC 设计将  $n+m$  串行两步式 ADC 的量化时间  $T_c$  由  $2^n + 2^m$  缩短至  $\max(2^n, 2^m)$ , 在最快工况下将转换速度提升了 33%.

#### 4 本文提出的插入式 TDC 量化方法

时间数字转换的基本原理可以理解为利用时钟沿将系统的输入范围等分为若干个区间. 由于每个区间都被定义为一个唯一的数字输出,因此只要确定观测信号处

于哪个区间就可以衡量输入时间的长度,从而完成时间向数字的转换. 图6均较为清晰地展现了这一量化过程. 在这种转换逻辑中,区间的长度或时钟沿的频率决定了该转换对时间的分辨能力. 由于上文所描述的时间差值均小于一个低频时钟信号周期,因此在单周期内覆盖更多的时钟沿就能得到更高精度的时间数字转换. 上文描述的时间差值量化原理中利用的一段高频时钟正是在一个低频时钟周期内覆盖更多的时钟沿. 为了在全局单一频率下,在单一时钟周期内覆盖更多的时钟沿,研究者们提出了基于多相时钟的时钟压缩(有些研究者称之为时钟延迟)型 TDC,通过对时钟信号做多次固定延迟得到单周期内更高密度的时钟沿,从而在全局低频的时钟信号下获得超越时钟频率的 TDC 转换精度.

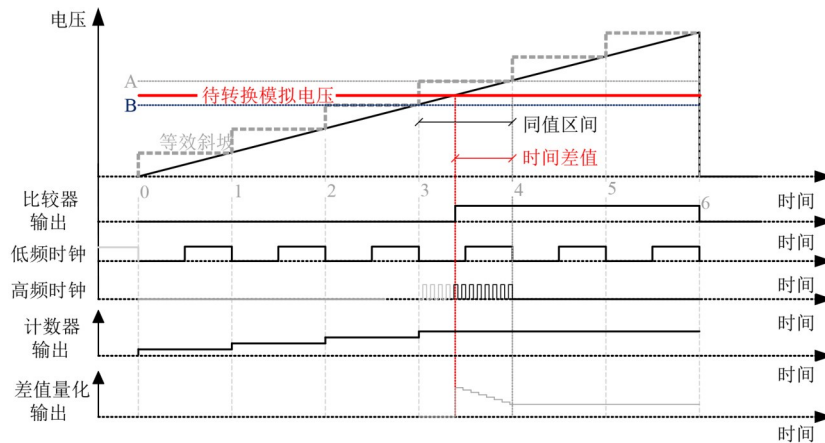


图6 时间差值量化原理

时钟压缩型TDC的转换方法类似于多个时钟刻度叠加后的量化方式,利用多个延迟单元在单个时钟周期内产生多个用于计数的时钟沿,通过触发器的约束实现时间到数字码的转换.图7为3 bit时钟压缩型TDC的原理结构图.其中 $t_a$ 作为压控延迟单元为时钟压缩型TDC提供固定延迟 $t_c$ 并作为系统最小分辨率.通过延迟线对时钟信号进行传递延迟产生一组多相时钟,辨别比较器翻转时STOP信号对应的时刻区间,根据对应关系计算出实际时刻,即对应多相时钟的某个时钟沿构成的区间,便可得到转换的时间差值.

因此该方法利用单一时钟频率的多相时钟对TDC触发器进行时间约束,实现了时间到数字码的精确转换,避免了高频时钟的引入,有力地保障了低功耗和低噪声的设计.

为得到图6中描述的时间差值,需要利用时钟信号对比较器的输出信号进行时序约束.本文利用触发器通过时钟沿对比较器约束,得到计数器上升时刻的时间值与比较器翻转时刻的时间值的差值,其在单斜式ADC中的插入简明结构如图8所示.

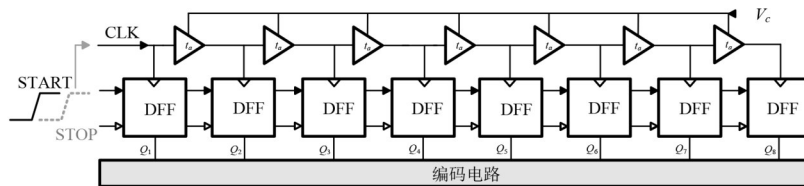


图7 时钟压缩型TDC原理结构

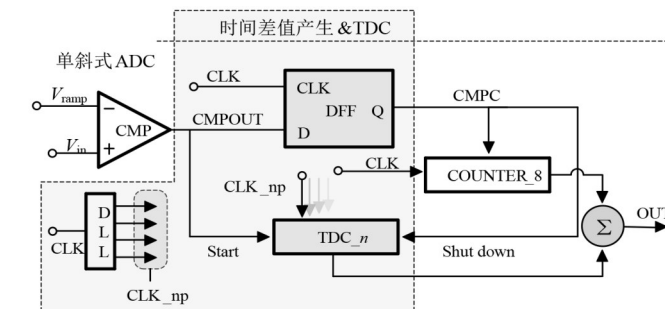


图8 时间差值产生电路

TDC结构的开始信号由比较器的输出信号提供,终止信号为与比较器相连的触发器的输出信号,提供细量化对应的数字码,因此实际衡量的区间为START信号上升沿到STOP信号上升沿的时间跨度,主要是通过图7所示的TDC结构予以实现.具体实施方式:所有

的TDC触发器根据初值设置的要求在输入端置初值,开始信号START来临后停止对触发器的复位操作,此时伴随多相时钟的依次到来,系统完成对外输出,终止信号STOP来临后通过控制时钟信号完成输出的保持,下一个周期来临时系统被复位.图9给出了基于该逻

CLK	1	1	1	1	0	0	0	0	1	1	1	1	0	0	0	0	1	1	1	1
CLK1	0	1	1	1	1	0	0	0	0	1	1	1	1	0	0	0	0	1	1	1
CLK2	0	0	1	1	1	1	0	0	0	0	1	1	1	1	0	0	0	0	1	1
CLK3	0	0	0	1	1	1	1	0	0	0	0	1	1	1	1	0	0	0	0	1
CLK4	0	0	0	0	1	1	1	1	0	0	0	0	1	1	1	1	0	0	0	0
CLK5	1	0	0	0	0	1	1	1	1	0	0	0	0	1	1	1	1	0	0	0
CLK6	1	1	0	0	0	0	1	1	1	1	0	0	0	0	1	1	1	1	0	0
CLK7	1	1	1	0	0	0	0	1	1	1	1	0	0	0	0	1	1	1	1	0
CLK8	1	1	1	1	0	0	0	0	1	1	1	1	0	0	0	0	1	1	1	1
T	1	0	1	0	1	0	1	0	1	0	1	0	1	0	1	0	1	0	1	0
C	1	1	0	0	1	1	0	0	1	1	0	0	1	1	0	0	1	1	0	0
S	1	1	1	1	0	0	0	0	1	1	1	1	0	0	0	0	1	1	1	1

图9 3 bit时钟压缩型TDC编码逻辑

辑下的3 bit插入式时钟压缩型TDC的编码原理. 3 bit的8相时钟将一个时钟周期划分为8个区间,每相时钟对应的触发器在被驱动后将图9中设置的编码通过寄存器输出.

时钟压缩型TDC需要得到稳定的多相时钟,才能有效地对单周期时钟信号细分从而得到固定的分辨率. 因此多相时钟产生电路应具有较强的鲁棒性. 本文利用片上PLL(Phase-Locked Loop)提供多相时钟,避免了温度、电压、工艺角对多相时钟相位差的影响.

时间差值的产生电路仅通过触发器利用时钟信号对比较器输出进行约束,和列电路间具有高契合性. TDC转换过程中利用多相时钟替代高频时钟赋予系统在全局低频信号下具备了高速性能,多相时钟利用全局PLL产生向所有列电路偏置,转换电路及编码电路也可采用列电路设计,不会对列空间造成过重的负担. 因此本文设计的基于时钟压缩型时间数字转换的时间差值量化技术在面向单斜式模数转换器时具备高兼容

性及易插入性. 基于该技术所设计的插入式时间数字转换系统满足了ADC高速化设计需求,在n bit单斜式结构中应用a bit的TDC可获得 $2^a$ 倍的转换速度提升. 在本文的设计指标(12 bit)下,在3 bit插入式时间数字转换系统的加持下,ADC可获得8倍的速度提升.

### 5 12位全并行ADC详细设计

本文在一款基于55 nm 1P4M工艺的10 000 × 10 000规模的CMOS图像传感器设计中,采用12 bit ADC,对全并行量化方法进行了详细的电路设计与实验验证. 前文阐述了TDC的设计概要. 不同于传统计数器的设计,多bit的TDC所需要的触发器数量是以指数形式增加的,实现n bit量化需要 $2^n$ 个触发器,会造成面积和功耗的激增,因此本文采用3 bit TDC设计,依据并行补偿原理,该ADC将整个量化过程分为4 bit粗量化、5 bit细量化和3 bit时间数字量化. 其具体实现电路如图10所示.

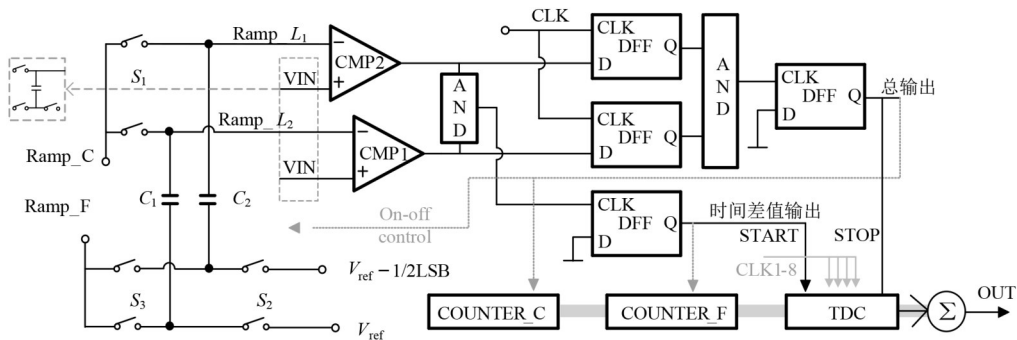


图10 具体电路设计

该结构包含2路斜坡信号、采样电路、校正电路、2个比较器、计数器、真伪判决电路及逻辑功能电路. 其中粗细斜坡信号被所有列共用. 同时为了满足高速高增益低功耗的设计需求,本文采用了基于多电压域低功耗设计思想的四级比较器结构.

其具体工作时序如图11所示. 首先对输入信号的误差消除采样,核心思路是将绝对误差转换为相对误差,增强误差相关性,降低系统的敏感程度. 然后从保证斜坡电压与输入信号电压相对差值的角度进行设计,对输入信号同时进行采样,使输入信号包含斜坡信

号产生的误差. 由于台阶电压值与输入信号相近, 二者的相对误差会降低至一个较小的数值. 为了保证斜

坡误差与输入信号误差相同, 斜坡信号与输入信号的采样电路尺寸与工作时序完全一致.

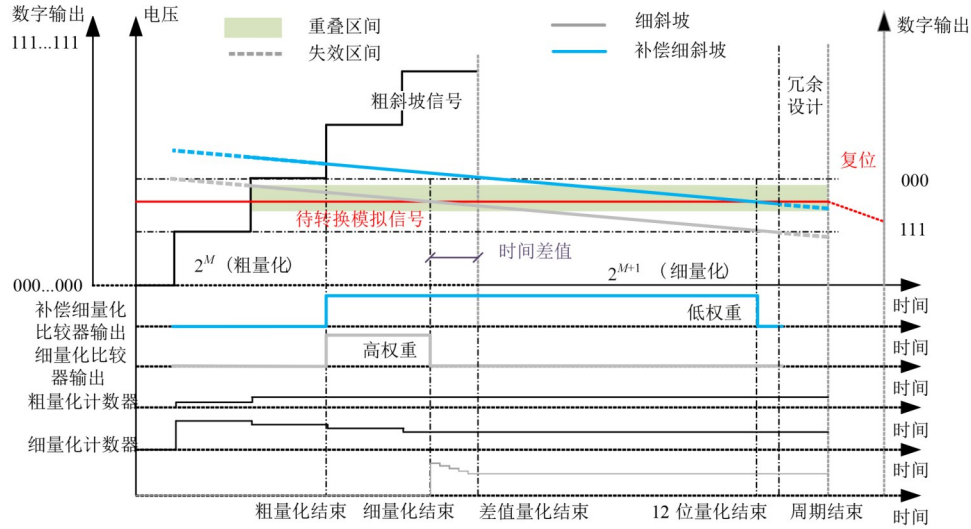


图 11 电路工作时序图

当系统复位后并完成对输入信号的采样时, 列级全并行 ADC 利用两个被设置为并行方式的两步式结构开始进行粗量化. 粗量化斜坡以  $\Delta V_c$  为步长对整个量化区间进行遍历, 当粗斜坡超越待转换模拟信号时比较器翻转, 粗量化计数器停止计数并将当前状态 4 bit 数据  $N$  保持等待读出. 此时 2 个并行结构模数转换系统的转换电容上存储了包含细量化区间信息的电压值. 电容上极板电压被固定在  $N \times \Delta V_c$ . 由于区间调制并行两步式结构要求两个细斜坡间隔  $\Delta V_c/2$ , 因此细量化转换电容下极板被偏置在共模电平  $V_{ref}$ , 补偿细量化转换电容下极板被偏置在  $V_{ref} - \Delta V_c/2$ . 细量化区间被找到, 并完成对并行结构的区间调制.

细量化被要求与粗量化同时开始, 对于细斜坡而言, 粗量化完成对细量化区间的标定前, 其并未实质性通过模拟转换系统接入量化过程中, 这部分损失的电压造成的量化缺失被定义为并行两步式结构的失效区间. 因此, 当细斜坡实际接入量化系统时, 其起始电压下降为

$$V_{\text{ramp\_F1\_start}} = N \times \Delta V_c - \frac{N}{2^5} \times \Delta V_c \quad (11)$$

补偿细量化由于区间调制作用在转换电容上相对细量化多存储了  $\Delta V_c/2$  的电荷量, 因此补偿细斜坡接入量化系统时, 其起始电压为

$$V_{\text{ramp\_F1\_start}} = \left( N + \frac{1}{2} \right) \times \Delta V_c - \frac{N}{2^5} \times \Delta V_c \quad (12)$$

根据对并行两步式结构的描述, 这两个斜坡信号协同作用可完成在并行结构下对单一细量化区间的全域覆盖. 当待转换信号在第  $N$  个细量化区间内被两个

细斜坡协同捕获时, 细量化中的比较器翻转, 真伪判决电路即受触发器约束地与逻辑对细量化比较器输出和补偿细量化输出进行权重分析. 根据图 5(a) 和 (b) 展示的结果, 利用高权重比较器输出结束细量化, 两个比较器输出作为数据标识信息被同时读出, 得到  $2+5$  bit 数据输出, 这里以  $2M$  表示.

当真伪判决电路依据权重信息将比较器翻转信息选择输出后, 除去细量化计数器停止计数并进入保持读出状态, 插入式时间差值转换系统通过对有效比较器输出进行时钟约束, 得到信号所处细斜坡上的时间差值. 列级 TDC 结构通过列共享的 DLL 产生 8 相时钟进行差值量化, 得到上述时间差值的 3 bit 数字输出  $K$  后进入保持读出状态.

当所有量化结束后, 系统进入冗余设计区间, 避免比较器延迟及列级时钟延迟对量化结果造成影响. 例如在上述描述中, 当待转换信号无限接近  $(N-1) \times \Delta V_c$  即当前细量化区间末端时, 由于计数器具有初值设置且该值可能不为零, 原本全 1 的输出状态被全 0 覆盖. 因此在细量化设计中增加了一个时钟周期的冗余设计区间, 同时细量化计数器采用高一位设计, 实际输出存在  $3M$  的数据流. 当单周期内的所有转换工作结束后, 系统进入复位状态, 刷新所有信号, 采集下一帧的信号, 进入新的转换周期.

单周期信号读出时存在 3 种数据格式输出: 4 bit 粗量化输出  $N$ ,  $2+1+5$  bit 细量化输出  $3M$ , 3 bit 时间差值输出  $K$ . 系统首先对细量化输出做真值标定, 根据高两位数据标识信息判断信号的处理算法, 两种处理方式在式 (6) 与式 (7) 中描述. 此后根据冗余标识码与真值构

成的六位数据配合计数器初值做差后得到 5 bit 的有效数据输出  $M$ 。根据式(10)与式(12)的推导,12 bit 列级全并行 ADC 的输出如式(13)所示:

$$D_{out} = \begin{cases} (10 + * \dots **): N \times 2^8 - (M - 2^3) \times 2^7 - K \times 2^9 \\ (00 + * \dots **): N \times 2^8 - M \times 2^7 - K \times 2^9 \end{cases} \quad (13)$$

在全并行逻辑中 ADC 的转换时间由细量化的耗时决定,因此采用 4+5+3=12 bit 的 ADC,量化时间被缩短至  $2^5$  个时周期内,在相同频率下,相比两步式结构的最快结构设计获得了 4 倍的速度提升,相比单斜式结构获得了 128 倍的速度提升。在 40 MHz 时钟频率下预计达到 825 ns 单周期的转换速度。

最终的数字码输出会包含比较器的失调误差,以及系统的固定噪声带来的误差,但这类误差不属于随机误差。针对这些噪声的特性,本文提出的全

并行 ADC 结构采用了数字相关双采样技术。数字相关双采样技术的基本原理:在行时间内,分别对图像信号和复位信号进行量化,将得到的数字码在数字域进行相减,固定误差在相减过程中被消除。所以通过数字相关双采样技术可以有效消除固定误差。

### 6 试验结果与数据分析

应用于超大面阵 CIS 的全并行两步式 ADC 列级电路基于 55 nm 1P4M 工艺完成了设计与验证,本次设计像素规模达到一亿量级 ( $10\,000 \times 10\,000$ ),量化精度为 12 bit,模拟和数字电源分别为 3.3 V 和 1.2 V,时钟信号频率 40 MHz。本文针对全并行 ADC 完成了详细电路设计和后端版图物理实现。图 12 为亿级像素规模的 CIS 芯片整体版图布局。

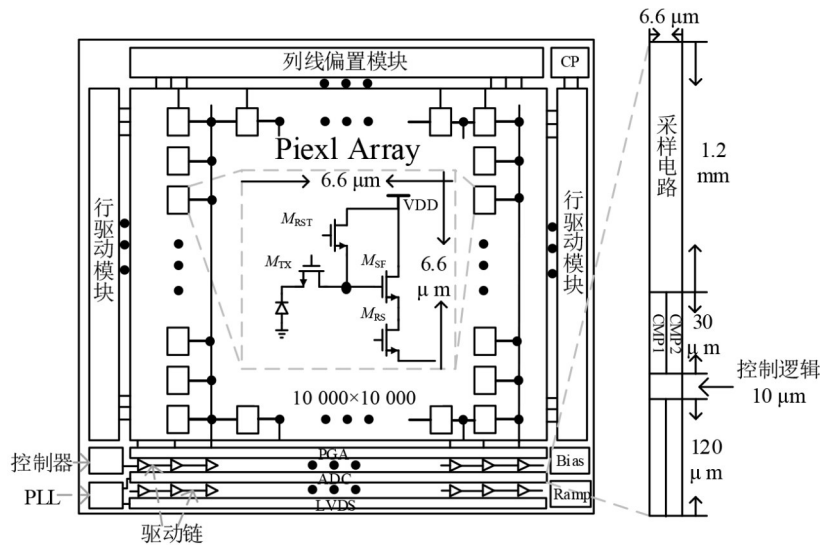


图 12 芯片整体布局

图 13 是考虑像素规格尺寸的列级复用结构版图。实际列宽为  $6.6 \mu\text{m}$ ,将各模块调用,利用数字单元组成的各功能电路拼接得到的 64 列复用单元,模拟模块与

数字模块采用组格式分别向各单元供电,在纵向空隙设置了大量去耦电容保证电源对数字噪声的抵抗能力,数字电路与模拟电路采用分离设计与独立衬底的

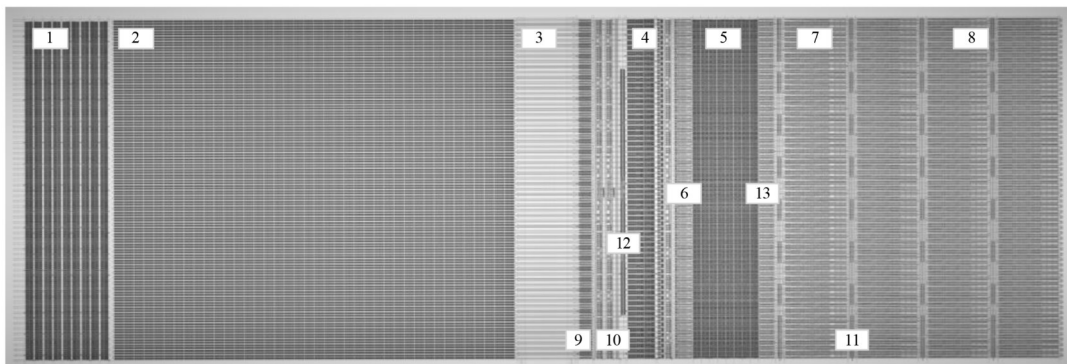


图 13 64 列复用单元版图设计

设计方式,避免了数字噪声的串扰.列信号流自上而下(自左而右)完成模数转换.64列复用单元的有效面积为  $506\ 880\ \mu\text{m}^2$  ( $1\ 200\ \mu\text{m} \times 422.4\ \mu\text{m}$ ).图示各标注:1为去耦电容,2为转换电容,3为模拟信号通道,4为比较器,5为FD电容,6为时间差值产生电路,7为

TDC电路,8为计数器,9为转换开关,10为开关驱动链,11为数字驱动链,12为模拟偏置电路,13为时间差值产生电路.由于复用的设计特性,10 000阵列的各项性能均与64列复用单元存在一致性.10 000面阵设计如图14所示.

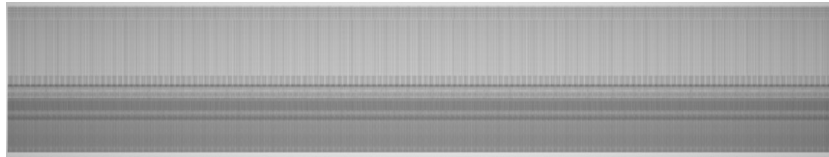


图14 10 000列版图设计

本文将一张由相机拍摄的 $47 \times 47$ 尺寸的图像,利用matlab读取为12位灰阶值,并根据动态范围转换位模拟电压值作为64列复用单元的47帧信号输入.将ADC的输出结果转换为10进制后利用matlab复原为图像格式,所得结果如图15所示.图15(a)为实际图像,图15(b)为ADC输出及后处理得到的图像.直观对比

下,本文设计的12 bit ADC实现了对细节的复原,图像暗部细节的还原相较于原图得到了有效增强.由于原始图像格式仅为8 bit,为保证提取的模拟电压值被限制在列级全并行ADC的有效动态范围内,实际输入至ADC结构电压值进行了缩小,导致了实际所得图像细节偏暗的情况.



(a) 原始图像



(b) 本文ADC复原图

图15 ADC输出结果

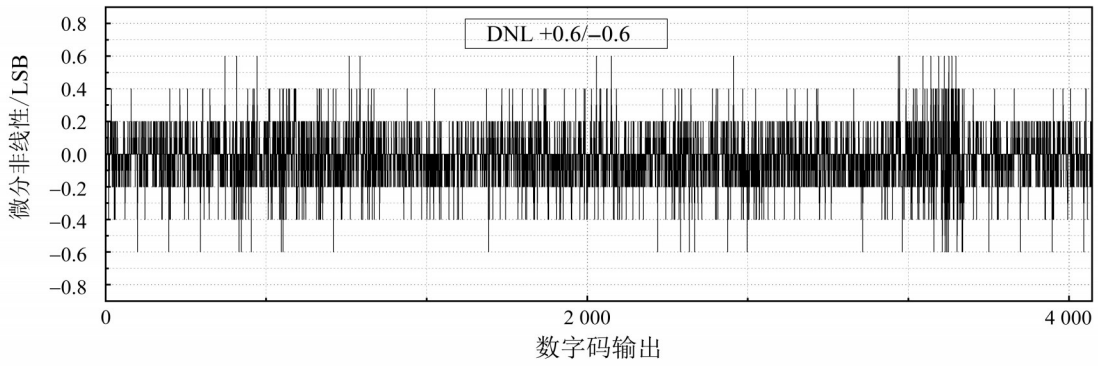
图16为ADC静态参数测试结果.微分非线性(Differential NonLinearity, DNL)峰值误差为 $+0.6/-0.6$  LSB,积分非线性(Integral NonLinearity, INL)峰值误差为 $+1.61/-1.2$  LSB.在12 bit量化精度下,转换速度达到825 ns的情况下,本文方法相比现有研究成果,表现出了明显的优势.

图17为23 kHz的采样频率下快速傅里叶变换(Fast Fourier Transform, FFT)分析结果.本文设计的全并行两步式ADC信噪失真比(Signal-to-Noise-and-Distortion Ratio, SNDR)为68.271 dB,有效位数(Effective Numbers Of Bits, ENOB)为11.049 bit,动态范围为1.5 V,列级功耗仅为 $62.1\ \mu\text{W}$ .

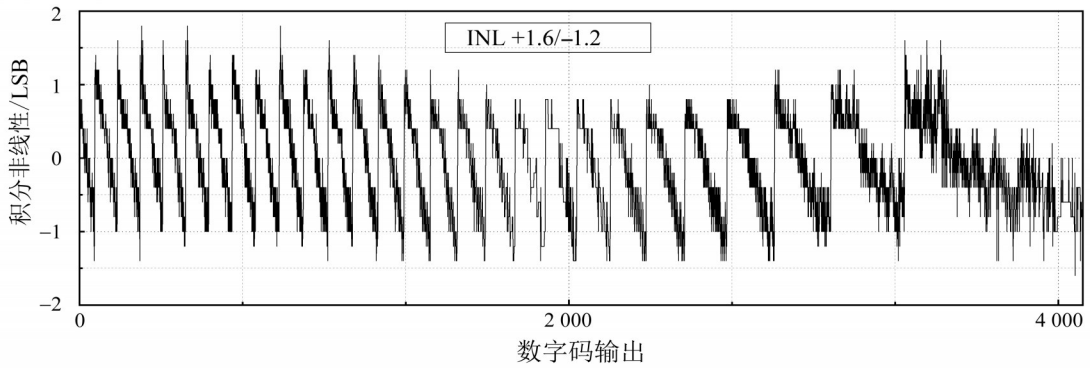
列电路的设计方式不可避免地会造成寄生的不一致性,从而导致列信号输出间存在偏差.本文以64列复用单元的列不一致性展开验证,验证逻辑:将所有电路的信号输入端偏置在同一输入电压上,由于列控制信号和偏置信号具有一致性,因此可直接观测输出间的不一致.本文以2.0 V为统一输入信号,观测到的列

不一致性如图18所示.验证结果直观反映了本文设计的64列复用单元的列不一致性低于0.05%.

表1为本文方法的验证结果与参考文献[5,11~14]的对比.与文献[5]相比,在12 bit精度下,本文方法功耗减少了65%,转换时间缩短了81.25%.与文献[11]相比,在12 bit精度下,本文方法功耗减少了14%,转换时间缩短了91.75%.与文献[12]相比,在12 bit精度下,本文方法功耗增加了37%,但转换时间缩短了98%.与文献[13]相比,在10 bit精度下对比,本文方法功耗增加了10%,转换时间缩短了97.6%.与文献[14]相比,在12 bit精度下,本文方法功耗减少了44.9%,转换时间缩短了87.1%.可以看出本文设计的ADC与目前先进的ADC相比,在保证结构简单、低功耗与高线性度的同时,转换速率提高了87.1%以上.本文提出的ADC结构由于工艺和电路设计的先进性,转换速度提升效果与理论分析一致.综上所述,本文提出的ADC设计方法适用于高分辨率超大面阵规模CIS.



(a) 微分非线性(DNL)测试结果



(b) 积分非线性(INL)测试结果

图 16 静态参数特性测试结果

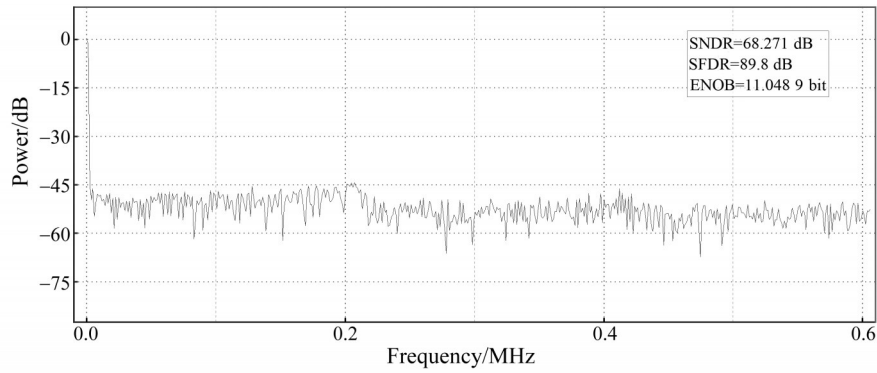


图 17 信噪比分析

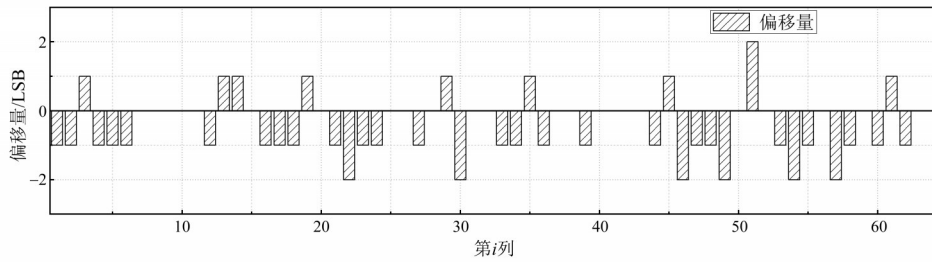


图 18 64列复用单元的列不一致性验证结果

表1 本文方法与其他先进ADC的对比

比较项目	文献[5]	文献[11]	文献[12]	文献[13]	文献[14]	本文
工艺/nm	130	130	90	110	—	55
结构	单斜式	两步式单斜式	两步式单斜式	单斜式	两步式单斜式	两步式单斜式
ADC精度/bit	12	12	12	10	12	12
量化范围/V	—	1.2	—	—	—	1.472
转换时间/ $\mu\text{s}$	4.4	10	39.68*	34.2	6.38*	0.825
DNL/LSB	+1.1/-0.4	0.76/-0.8	+5.73/-7.3	+0.15/-0.2	+1.34/-0.49	+0.6/-0.6
INL/LSB	+5.8/-8.2	1.06/-0.84	+4.25/-1.00	+0.91/1.35	+2.44/-2.47	+1.6/-1.2
有效位数/bit	—	11.25	—	8.8	—	11.049
功耗/ $\mu\text{w}$	177	72	39	56	112.5**	62.1

注:\*=1/(帧频率×行数);\*\*功耗=总功耗/列数

## 7 结论

本文针对当前制约亿级面阵CMOS图像传感器的读出速度的瓶颈问题,提出了一种基于粗细量化全并行的处理方法和一种基于误差同步存储技术的误差校正方法,并成功应用于一款亿级CMOS图像传感器的12 bit高速全并行两步式ADC设计中.该ADC基于全并行量化原理,实现了粗细量化并行执行与TDC的协同量化,提高了转换速率.所提的误差校正方法进一步提高了转换精度.本文对一款基于55 nm 1P4M工艺的10 000 × 10 000规模CMOS图像传感器进行了具体电路设计验证.实验结果表明,该ADC在转换时间达到825 ns的同时,通过校正方法将微分非线性峰值误差控制在-0.6/0.6 LSB,积分非线性峰值误差控制在+1.6/-1.2 LSB,信噪失真比达到68.271 dB,有效位数为11.049 bit.对比已有的研究成果,本文设计的ADC架构在保证结构简单、低功耗和高线性度的同时,转换速率提高了87.1%以上.该设计方法为高速CMOS图像传感器设计提供了全新的解决方案,可以被广泛用于亿级面阵以上规模CMOS图像传感器的超高速读出电路中.

## 参考文献

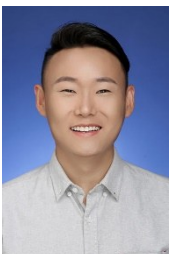
- [1] ZHANG Q H, NING N, LI J, et al. A high area-efficiency 14-bit SAR ADC with hybrid capacitor DAC for array sensors[J]. IEEE Transactions on Circuits and Systems I: Regular Papers, 2020, 67(12): 4396-4408.
- [2] KAUR A, MISHRA D, SARKAR M. A 12-bit, 2.5-bit/phase column-parallel cyclic ADC[J]. IEEE Transactions on Very Large Scale Integration (VLSI) Systems, 2019, 27(1): 248-252.
- [3] KIM J B, HONG S K, KWON O K. A low-power CMOS image sensor with area-efficient 14-bit two-step SA ADCs using pseudomultiple sampling method[J]. IEEE Transactions on Circuits and Systems II: Express Briefs, 2015, 62(5): 451-455.
- [4] SEO M W, SUH S H, IIDA T, et al. A low-noise high intrascene dynamic range CMOS image sensor with a 13 to 19b variable-resolution column-parallel folding-integration/cyclic ADC[J]. IEEE Journal of Solid-State Circuits, 2012, 47(1): 272-283.
- [5] LEVSKI D, WÄNY M, CHOUBEY B. A 1- $\mu\text{s}$  ramp time 12-bit column-parallel flash TDC-interpolated single-slope ADC with digital delay-element calibration[J]. IEEE Transactions on Circuits and Systems I: Regular Papers, 2019, 66(1): 54-67.
- [6] SHINOZUKA Y, SHIRAIISHI K, FURUTA M, et al. A single-slope based low-noise ADC with input-signal-dependent multiple sampling scheme for CMOS image sensors[C]//2015 IEEE International Symposium on Circuits and Systems (ISCAS). Piscataway: IEEE, 2015: 357-360.
- [7] BAE J, KIM D, HAM S, et al. A two-step A/D conversion and column self-calibration technique for low noise CMOS image sensors[J]. Sensors, 2014, 14(7): 11825-11843.
- [8] LYU T, YAO S Y, NIE K M, et al. A 12-bit high-speed column-parallel two-step single-slope analog-to-digital converter (ADC) for CMOS image sensors[J]. Sensors, 2014, 14(11): 21603-21625.
- [9] LEE J N, PARK H, SONG B, et al. High frame-rate VGA CMOS image sensor using non-memory capacitor two-step single-slope ADCs[J]. IEEE Transactions on Circuits and Systems I: Regular Papers, 2015, 62(9): 2147-2155.
- [10] WEI J W, LI X, SUN L, et al. A low-power column-parallel gain-adaptive single-slope ADC for CMOS image sensors[J]. Electronics, 2020, 9(5): 757.
- [11] ZHANG Q H, NING N, LI J, et al. A 12-bit column-parallel two-step single-slope ADC with a foreground calibration for CMOS image sensors[J]. IEEE Access, 2020, 8: 172467-172480.
- [12] PARK H, YU C Z, KIM H, et al. Low power CMOS image sensors using two step single slope ADC with band-

- width-limited comparators & voltage range extended ramp generator for battery-limited application[J]. IEEE Sensors Journal, 2020, 20(6): 2831-2838.
- [13] NIE K M, ZHA W B, SHI X L, et al. A single slope ADC with row-wise noise reduction technique for CMOS image sensor[J]. IEEE Transactions on Circuits and Systems I: Regular Papers, 2020, 67(9): 2873-2882.
- [14] LEE J N, LEE J, BURM J. A CMOS image sensor with non-memory capacitor two-step single slope ADC for high frame rate[C]//2015 International SoC Design Conference (ISOCC). Piscataway: IEEE, 2015: 333-334.
- [15] HUANG W J, ZHANG Q H, LI J, et al. A calibration technique for two-step single-slope analog-to-digital converter[C]//2019 IEEE 13th International Conference on ASIC (ASICON). Piscataway: IEEE, 2019: 1-4.
- [16] CHENG X, ZENG X Y, FENG Q. Analysis and improvement of ramp gain error in single-ramp single-slope ADCs for CMOS image sensors[J]. Microelectronics Journal, 2016, 58: 23-31.
- [17] 唐枋, 唐建国. 用于CMOS图像传感器的12位低功耗单斜坡模数转换器设计[J]. 电子学报, 2013, 41(2): 352-356.  
TANG F, TANG J G. 12Bit low power single slope ADC design for CMOS image sensor[J]. Acta Electronica Sinica, 2013, 41(2): 352-356. (in Chinese)
- [18] 郭仲杰, 许睿明, 程新齐, 等. 面向亿级CMOS图像传感器的高速全并行两步式ADC设计方法[J]. 电子学报, 2023, 51(8): 2067-2075.  
GUO Z J, XU R M, CHEN X Q, et al. High speed fully parallel two-step ADC design method for hundred million level CMOS image sensors[J]. Acta Electronica Sinica, 2023, 51(8): 2067-2075. (in Chinese)

#### 作者简介



郭仲杰 男,1982年出生,陕西韩城人.西安理工大学自动化与信息工程学院教授.主要研究方向为超大规模数模混合集成电路的设计.  
E-mail: zjguo@xaut.edu.cn



苏昌勳 男,1996年出生,陕西咸阳人.西安理工大学硕士研究生.主要研究方向为CMOS图像传感器片上高速ADC设计.  
E-mail: suchangxv@hotmail.com